

PAT-NO: JP405175536A

DOCUMENT-IDENTIFIER: JP 05175536 A

TITLE: MANUFACTURE OF SEMICONDUCTOR DEVICE

PUBN-DATE: July 13, 1993

INVENTOR-INFORMATION:

NAME

TAGUCHI, EIJI

HANABUSA, HIROSHI

ASSIGNEE-INFORMATION:

NAME

SANYO ELECTRIC CO LTD

COUNTRY

N/A

APPL-NO: JP03354996

APPL-DATE: December 19, 1991

INT-CL (IPC): H01L031/10, H01L021/265 , H01L027/12 , H01L029/165

US-CL-CURRENT: 438/164, 438/FOR.155

ABSTRACT:

PURPOSE: To provide a method of manufacturing a semiconductor device, in which a lateral p-n junction, in any shape according to the mask used, is formed in a Si_{1-x}Ge_x film ($x=0.2\pm 0.1$).

CONSTITUTION: A substrate 1 having an Si_{0.8}Ge_{0.2}/Si/sapphire structure is used. Boron ions are implanted to the Si_{0.8}Ge_{0.2} layer 1c, and the substrate is annealed to form a p-type region 4. In addition, phosphorus ions are implanted to the Si_{0.8}Ge_{0.2} layer 1c, and the substrate is annealed to form an n-type region 6. Aluminum 9 is deposited on contact holes 8 to form ohmic contact. In this manner, a lateral pin diode is provided.

COPYRIGHT: (C)1993,JPO&Japio

(19)日本国特許庁(J P)

(12) 公開特許公報(A)

(11)特許出願公開番号

特開平5-175536

(43)公開日 平成5年(1993)7月13日

(51)Int.Cl.⁵

識別記号

庁内整理番号

F I

技術表示箇所

H 0 1 L 31/10

21/265

27/12

Z 8728-4M

8422-4M

8617-4M

H 0 1 L 31/ 10

A

21/ 265

A

審査請求 未請求 請求項の数1(全 6 頁) 最終頁に続く

(21)出願番号

特願平3-354996

(22)出願日

平成3年(1991)12月19日

(71)出願人 000001889

三洋電機株式会社

大阪府守口市京阪本通 2丁目18番地

(72)発明者 田口 英二

大阪府守口市京阪本通 2丁目18番地 三洋
電機株式会社内

(72)発明者 花房 寛

大阪府守口市京阪本通 2丁目18番地 三洋
電機株式会社内

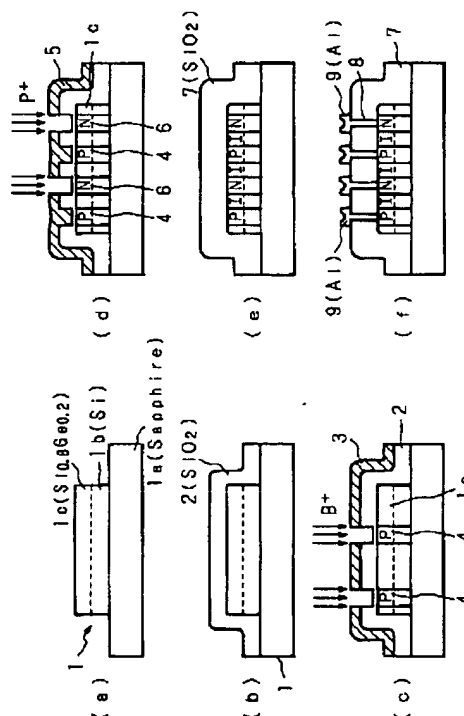
(74)代理人 弁理士 河野 登夫

(54)【発明の名称】 半導体素子作製方法

(57)【要約】

【目的】 $\text{Si}_{1-x}\text{Ge}_x$ ($x = 0.2 \pm 0.1$)膜内に横型のP N接合を形成して、マスクに応じた任意の形状でこのP N接合を形成できる半導体素子作製方法を提供する。

【構成】 $\text{Si}_{0.8}\text{Ge}_{0.2}$ 膜/Si/Sapphire構造をなす基板1の $\text{Si}_{0.8}\text{Ge}_{0.2}$ 膜1cにBイオンを注入した後アニールしてP型領域4を形成し、また $\text{Si}_{0.8}\text{Ge}_{0.2}$ 膜1cにPイオンを注入した後アニールしてN型領域6を形成し、コンタクトホール8にオーミックコンタクト用のアルミニウム9を蒸着して、横型pin フォトダイオードを作製する。



【特許請求の範囲】

【請求項1】 $\text{Si}_{1-x}\text{Ge}_x$ ($x = 0.2 \pm 0.1$) 膜とSi膜との積層構造中にP型領域及び／またはN型領域を形成して半導体素子を作製する方法において、前記 $\text{Si}_{1-x}\text{Ge}_x$ 膜にBイオン及び／またはPイオンを注入して、前記P型領域及び／またはN型領域を形成することを特徴とする半導体素子作製方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、 $\text{Si}_{1-x}\text{Ge}_x$ / Si 構造中へ半導体素子を作製する方法に関し、特に $\text{Si}_{1-x}\text{Ge}_x$ 膜内にPN接合を形成する半導体素子作製方法に関するものである。

【0002】

【従来の技術】 $\text{Si}_{1-x}\text{Ge}_x$ ($x = 0.2 \pm 0.1$) 膜はSi膜とヘテロ構造を作ることにより、これまでSi膜単独では得られなかった電気的、光学的性質を示す材料となる。従って、この $\text{Si}_{1-x}\text{Ge}_x$ 膜は、ヘテロバイポーラトランジスタ、フォトダイオード等の半導体装置への応用が、精力的に進められている。

【0003】ところで、このような $\text{Si}_{1-x}\text{Ge}_x$ 膜を含む構造体中に素子作製の基本となるPN接合を形成する場合、例えば $\text{Si}_{1-x}\text{Ge}_x$ 膜を挟んだ上下にSi膜を形成し、この上下2つのSi膜を夫々P型、N型とする手法¹⁾²⁾³⁾、或いは結晶成長を行いながら不純物ドーピングを行うことによってP型またはN型の $\text{Si}_{1-x}\text{Ge}_x$ 膜を成長させる手法³⁾⁴⁾等が主体である。

【0004】

参考文献 1) H.Temkin et al., Appl.Phys.Lett.48(15), P.963

2) V.Kesan et al., IEDM 90, P.637

3) G.Higashi et al., Appl.Phys.Lett.56(25), P.2560

4) H.Presting et al., J.Appl.Phys.68(11), P.5653

【0005】

【発明が解決しようとする課題】 上述したようなPN接合の形成方法では、基板表面に垂直なPN接合、即ち縦型のPN接合しか形成できないという問題点がある。

【0006】本発明はかかる事情に鑑みてなされたものであり、イオン注入法により $\text{Si}_{1-x}\text{Ge}_x$ 膜中にP型領域、N型領域を形成することにより、例えば基板表面と平行なPN接合、即ち横型のPN接合を形成でき、マスクに応じた任意の形状でPN接合を形成できる半導体素子作製方法を提供することを目的とする。

【0007】

【課題を解決するための手段】 本発明に係る半導体素子作製方法は、 $\text{Si}_{1-x}\text{Ge}_x$ ($x = 0.2 \pm 0.1$) 膜とSi膜との積層構造中にP型領域及び／またはN型領域を形成して半導体素子を作製する方法において、前記 $\text{Si}_{1-x}\text{Ge}_x$ 膜にBイオン及び／またはPイオンを注入して、前記P型領域及び／またはN型領域を形成することを特徴とす

る。

【0008】

【作用】 本発明の半導体素子作製方法では、Bイオン、Pイオンを $\text{Si}_{1-x}\text{Ge}_x$ 膜の所定領域に注入し、各イオンを拡散させて $\text{Si}_{1-x}\text{Ge}_x$ 膜内にP型領域、N型領域を形成する。

【0009】

【実施例】 以下、本発明をその実施例を示す図面に基いて具体的に説明する。

【0010】イオン注入により $\text{Si}_{1-x}\text{Ge}_x$ 膜中にP型、N型領域を形成する場合に、例えば耐熱特性、不純物の拡散係数等の物性が $\text{Si}_{1-x}\text{Ge}_x$ 混晶とSi結晶とは異なるので、新たなプロセス条件の開発、及び最適化が必要である。以下、 $\text{Si}_{1-x}\text{Ge}_x$ 膜中にイオン注入によってPN接合を形成するために必要な $\text{Si}_{1-x}\text{Ge}_x$ 混晶へのイオン注入条件、活性化アニール条件及びオーミック電極形成条件について説明する。

【0011】まず、 $\text{Si}_{1-x}\text{Ge}_x$ 膜を用いるプロセスにおいては、プロセス最高温度を 850℃程度以下に抑える。また、P型領域を形成する際のBイオン注入量を $5 \times 10^{15} \text{cm}^{-2}$ 以下とし、N型領域を形成する際のPイオン注入量を $5 \times 10^{14} \text{cm}^{-2}$ 以上とする。また、Bイオン、Pイオンの活性化アニールを夫々 800～850℃、600～700℃で行う。更にP⁺コンタクト、N⁺コンタクト形成をアルミニウムにより行い、アルミニウムのシンター温度を 250～300℃とする。

【0012】次に、このような各種の条件を設定した理由について説明する。なお、以下の例では、 $x = 0.2$ である $\text{Si}_{1-x}\text{Ge}_x$ 膜、つまり $\text{Si}_{0.8}\text{Ge}_{0.2}$ 膜を使用している。

【0013】まず、 $\text{Si}_{0.8}\text{Ge}_{0.2}$ 膜の結晶性が高温アニールによってどのように変化するかをラザフォード後方散乱法に基づいて調べた結果を図1に示す。アニールした膜の表面 α_{min} とアニール温度との関係より、アニール温度 850℃までは成長時と同じ表面 α_{min} が得られ、結晶性に変化は認められないが、850℃を越えると α_{min} の値が急増し、結晶性が大幅に劣化することが分かる。従って、 $\text{Si}_{1-x}\text{Ge}_x$ 膜の結晶性の劣化を防止するために、そのプロセス最高温度を 850℃程度以下に抑える必要がある。

【0014】図2に、 $\text{Si}_{0.8}\text{Ge}_{0.2}$ 膜に60keV、 $1 \times 10^{15} \text{cm}^{-2}$ の条件でBイオンを注入し、窒素雰囲気中で温度を変えてアニールした時のアニール温度と $\text{Si}_{0.8}\text{Ge}_{0.2}$ 膜のシート抵抗との関係を示す。アニール温度 850℃以上ではシート抵抗は下がるものの、その変化の割合は 850℃以下の場合よりも小さい。これは高温アニールによる結晶性の低下が原因と考えられる。また図3に、Bイオン注入後、850℃でアニールした $\text{Si}_{0.8}\text{Ge}_{0.2}$ 膜のシート抵抗値のイオン注入量依存性を示す。図3より、B注入量 $5 \times 10^{15} \text{cm}^{-2}$ 以上では、シート抵抗値がほとんど

3

減少していないことが分かる。Bイオンを注入する場合には、その注入量が $5 \times 10^{15} \text{ cm}^{-2}$ 以下であれば、850℃のアニールによって、顕著な移動度の低下または不純物の偏析等を生じさせることなくBイオンを活性化することができる。以上のようなことにより、Bイオンの注入量及び活性化温度を、夫々 $5 \times 10^{15} \text{ cm}^{-2}$ 以下及び800～850℃と設定する。

【0015】次に、 $\text{Si}_{0.8} \text{Ge}_{0.2}$ 膜に120keV、 $1 \times 10^{15} \text{ cm}^{-2}$ の条件でPイオンを注入した時のアニール温度とシート抵抗との関係を図4に示す。アニール温度600℃以上では、シート抵抗にあまり変化がみられず、800℃では逆に増大する結果が得られるので、Pイオンの活性化温度は600～700℃が適当である。

【0016】図5は、 $\text{Si}_{0.8} \text{Ge}_{0.2}$ 膜に120keV、 $1 \times 10^{15} \text{ cm}^{-2}$ の条件でPイオンを注入後(N型)、アルミニウムを蒸着し窒素雰囲気中でのシンター温度条件を200～400℃(時間20分)の範囲で変化させた場合の電流-電圧特性を示す。オーミック性を保つためには200℃以上の温度が必要であり、コンタクト抵抗は250℃以上で略一定であることが分かる。しかし、350℃では、アルミニウムが $\text{Si}_{0.8} \text{Ge}_{0.2}$ 膜内部に異常拡散してしまいN型領域の比抵抗が高くなってしまう。従って、N型領域において良好なアルミニウム電極を形成するためのシンター温度は250～300℃の範囲が適当である。そして、アルミニウムのシンター温度を250～300℃とすることにより、 $\text{Si}_{1-x} \text{Ge}_x$ 膜中へのアルミニウムの異常拡散を防止することができるのでバリアメタルの必要もなく、アルミニウムのみによるオーミック電極の形成が可能である。

【0017】図6に、活性化アニール温度700℃におけるPイオン注入量と $\text{Si}_{0.8} \text{Ge}_{0.2}$ 膜のシート抵抗との関係を示す。注入量が $5 \times 10^{14} \text{ cm}^{-2}$ より小さくなると、シート抵抗が急激に増加する。また、アニール温度を700℃、アルミニウムのシンター温度を300℃に固定し、Pイオン注入量を変化させた場合の電流-電圧特性を図7に示す。Pイオン注入量 $1 \times 10^{14} \text{ cm}^{-2}$ では非オーミック性を示すが、 $5 \times 10^{14} \text{ cm}^{-2}$ 以上ではオーミック性を示す。従って、良好なオーミックコンタクトを有するアルミニウム電極を形成するためには、 $5 \times 10^{14} \text{ cm}^{-2}$ 以上のPイオン注入量が必要である。

【0018】次に、本発明の一実施例として、以上のように定めたイオン注入条件、活性化条件、電極形成条件を利用した $\text{Si}_{0.8} \text{Ge}_{0.2} / \text{Si} / \text{Sapphire}$ 構造上への横型pinフォトダイオードの作製例を例にとり、図8を参照して説明する。

【0019】基板1は、サファイア(1バー102)1a上に高抵抗のSi膜(膜厚:170nm)1b及び $\text{Si}_{0.8} \text{Ge}_{0.2}$ 膜(膜厚:170nm)1cを分子線エピタキシャル成長させることによって得たものであり、ドライエッチングにより素子分離を行なう(図8(a))。

4

【0020】次に、CVD法で SiO_2 膜2を全域に堆積する(図8(b))。形成すべきP型領域に応じてパターンニングされたフォトリソスト3をマスクとして60keV、 $1 \times 10^{15} \text{ cm}^{-2}$ の条件でBイオンを $\text{Si}_{0.8} \text{Ge}_{0.2}$ 膜1cに注入した後、850℃で窒素ガス雰囲気中、60分のファーンেসアニールを行ってBイオンを活性化してP型領域4を $\text{Si}_{0.8} \text{Ge}_{0.2}$ 膜1c内に形成する(図8(c))。

【0021】次に、形成すべきN型領域に応じてパターンニングされたフォトリソスト5をマスクとして120keV、 $1 \times 10^{15} \text{ cm}^{-2}$ の条件でPイオンを注入した後、700℃で窒素ガス雰囲気中、60分のファーンেসアニールを行ってPイオンを活性化してN型領域6を $\text{Si}_{0.8} \text{Ge}_{0.2}$ 膜1c内に形成する(図8(d))。次いで、反射防止膜7を全域に形成する(図8(e))。 SiO_2 膜からなる反射防止膜7を部分的にエッチング除去してコンタクトホール8を形成した後、形成したコンタクトホール8内にアルミニウム9を蒸着し(図8(f))、窒素ガス雰囲気中、300℃20分の条件でアルミニウム9のシンターを行うことにより、図9に示すような横型pinフォトダイオードを完成する。

【0022】図9に示した横型pinフォトダイオードの電流-電圧特性を、図10に示す。図10から分かるように、本発明によって作製した横型pinフォトダイオードは良好なPN接合特性を示すと共に、フォトダイオードとしての機能を十分に果たしている。

【0023】

【発明の効果】以上の説明から明らかなように、本発明によれば、イオン注入法によって $\text{Si}_{1-x} \text{Ge}_x$ 膜にP型領域、N型領域を形成できるので、使用するマスク形状に応じて任意の位置に任意の形状で素子を作製することが可能となり、その効果はデバイス応用の際のプロセス技術、デバイス技術に寄与するところ、極めて大なるものである。

【図面の簡単な説明】

【図1】高温アニールによる $\text{Si}_{0.8} \text{Ge}_{0.2}$ 膜の結晶性の変化を示す図である。

【図2】Bイオン注入後の $\text{Si}_{0.8} \text{Ge}_{0.2}$ 膜のシート抵抗とアニール温度との関係を示す図である。

【図3】Bイオン注入後、850℃でアニールした $\text{Si}_{0.8} \text{Ge}_{0.2}$ 膜のシート抵抗とイオン注入量との関係を示す図である。

【図4】Pイオン注入後の $\text{Si}_{0.8} \text{Ge}_{0.2}$ 膜のシート抵抗とアニール温度との関係を示す図である。

【図5】N型領域のアルミニウム電極オーミック性のシンター温度による変化を示す図である。

【図6】Pイオン注入後、700℃でアニールした $\text{Si}_{0.8} \text{Ge}_{0.2}$ 膜のシート抵抗とイオン注入量との関係を示す図である。

【図7】N型領域のアルミニウム電極オーミック性のPイオン注入量による変化を示す図である。

【図8】本発明による $\text{Si}_{0.8}\text{Ge}_{0.2}/\text{Si}/\text{Sapphire}$ 構造中へのPN接合形成プロセスを示す断面図である。

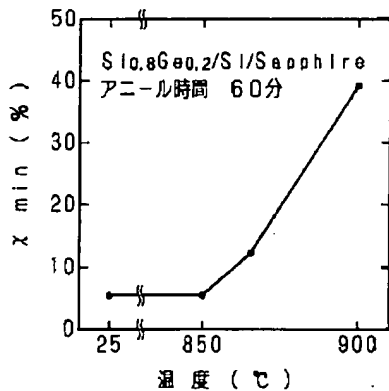
【図9】本発明法により作製した横型pin フォトダイオードの断面図である。

【図10】本発明により作製した横型pin 接合ダイオードの電流-電圧特性を示す図である。

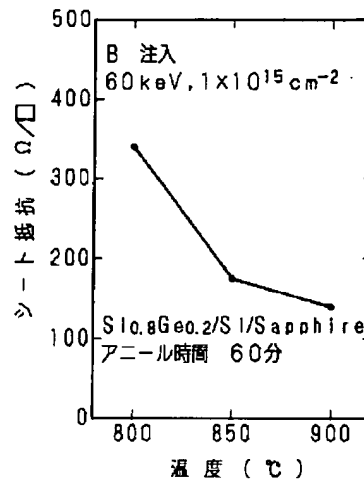
【符号の説明】

- 1 基板
- 1a サファイア
- 1b Si膜
- 1c $\text{Si}_{0.8}\text{Ge}_{0.2}$ 膜
- 4 P型領域
- 6 N型領域
- 9 アルミニウム

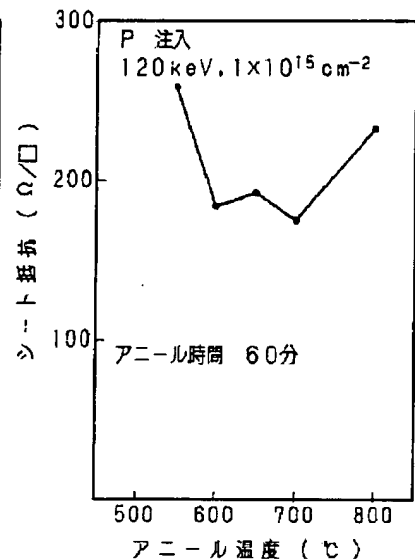
【図1】



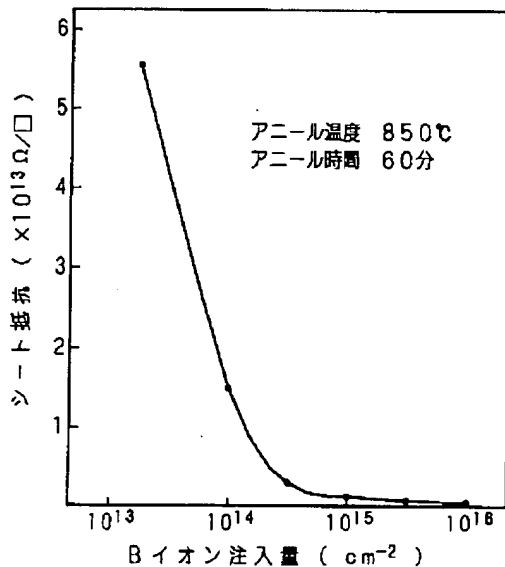
【図2】



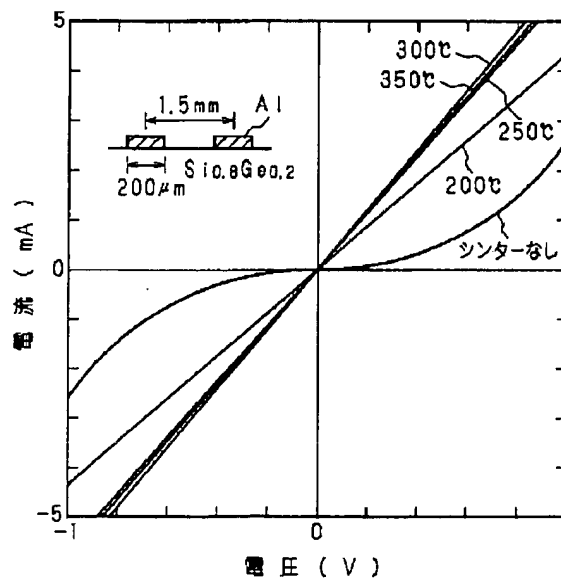
【図4】



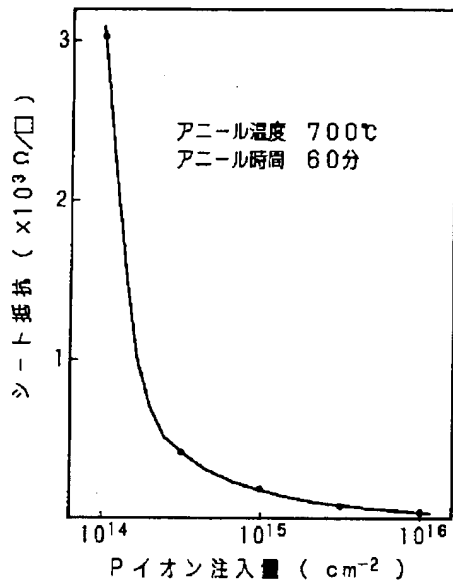
【図3】



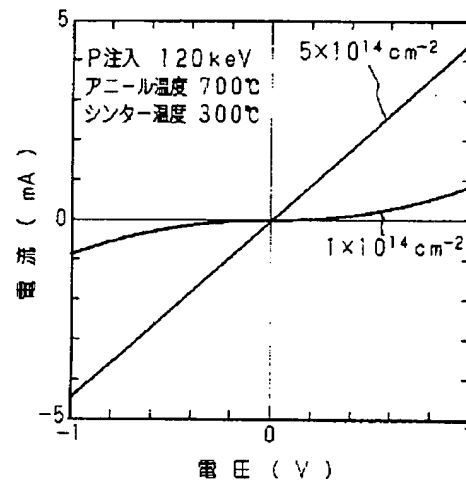
【図5】



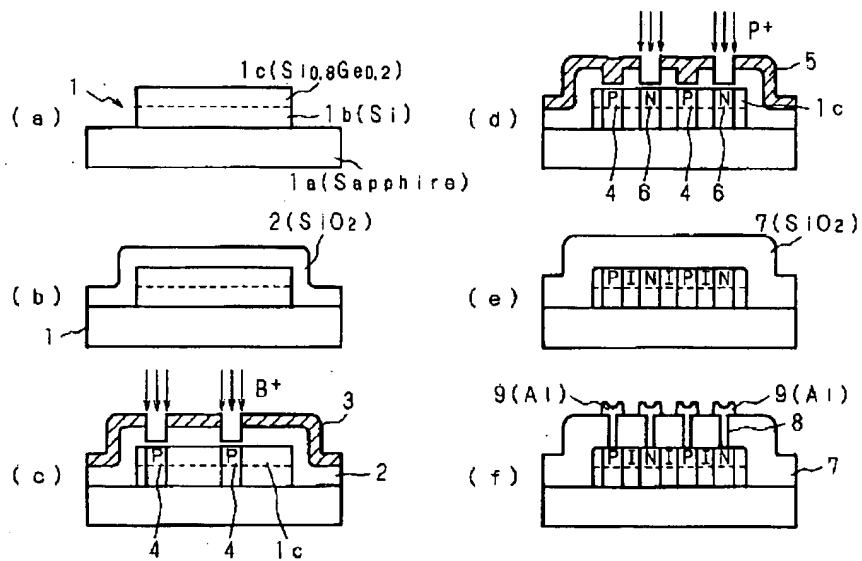
【図6】



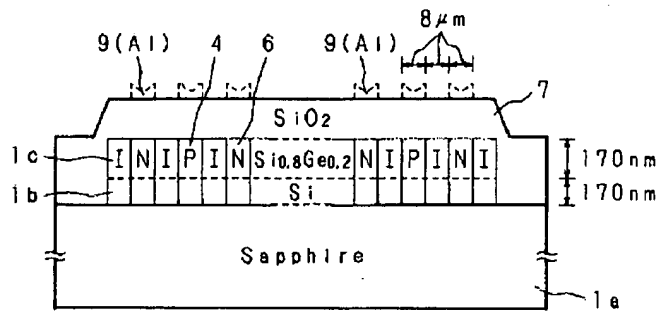
【図7】



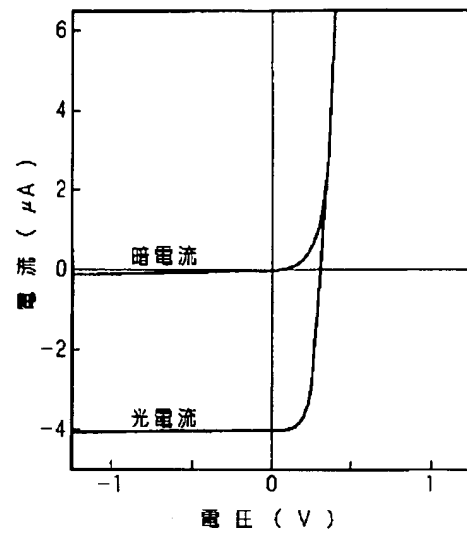
【図8】



【図9】



【図10】



フロントページの続き

(51)Int. Cl.⁵

H01L 29/165

識別記号

庁内整理番号

F I

技術表示箇所

7377-4M